

**Family list****1** family member for: **JP58061663**Derived from **1** application**1 MANUFACTURE OF SOLID-STATE IMAGE PICKUP DEVICE****Inventor:** OOHASHI KOUZOU; OZAKI MASAYOSHI **Applicant:** MATSUSHITA ELECTRONICS CORP**EC:** H01L27/146P4**IPC:** *H04N5/335; H01L21/304; H01L27/146*  
(+8)**Publication info:** **JP58061663 A** - 1983-04-12Data supplied from the **esp@cenet** database - Worldwide

**MANUFACTURE OF SOLID-STATE IMAGE PICKUP DEVICE**

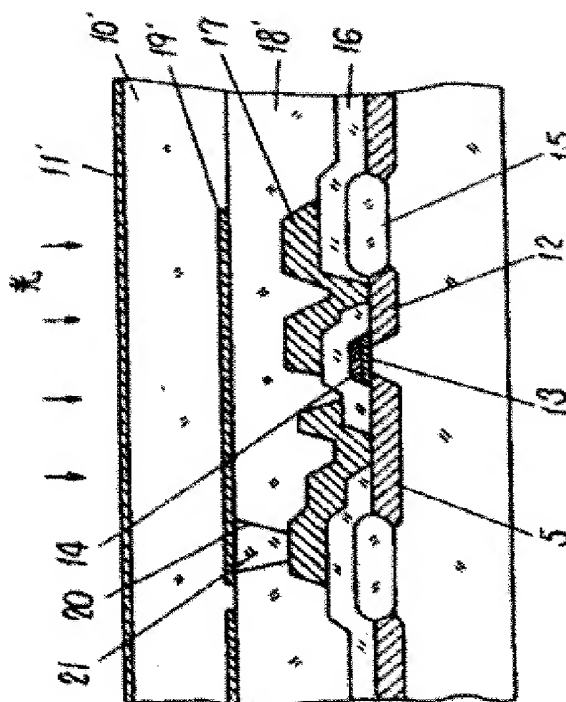
**Patent number:** JP58061663  
**Publication date:** 1983-04-12  
**Inventor:** OOHASHI KOUZOU; OZAKI MASAYOSHI  
**Applicant:** MATSUSHITA ELECTRONICS CORP  
**Classification:**  
- international: **H04N5/335; H01L21/304; H01L27/146; H01L29/78; H04N5/335; H01L21/02; H01L27/146; H01L29/66; (IPC1-7): H01L27/14; H01L29/78; H04N5/30**  
- european: **H01L27/146P4**  
**Application number:** JP19810161568 19811008  
**Priority number(s):** JP19810161568 19811008

[Report a data error here](#)

**Abstract of JP58061663**

**PURPOSE:**To contrive the great reduction of dark currents, by polishing the surface of a layer insulating film flat, when providing a photoconductor film as a photoelectric conversion means on a semiconductor substrate wherein an MOS element for a scanning means is incorporated.

**CONSTITUTION:**The insulator 18' of SiO<sub>2</sub>, etc. is deposited on an FET thicker than the surface unevenness of the MOSFET as the scanning means, and then the surface thereof is polished by the impalpable powder of Ce oxide, etc. resulting in a flatness. Next, an aperture 20 is opened on the layer 18' and filled with conductive material 21 and connected to the Al film insulated for each FET, and thereafter the photoconductive film 10' of ZnSe, etc. is deposited and covered with a transparent conductive film 11. Since the photoconductive film 10' is homogeneous in thickness over the entire region without sharp stepwise differences, the dark current is greatly reduced, the incident light is absorbed mostly by the film 10', and accordingly the generation of blooming or smear can be prevented.



Data supplied from the **esp@cenet** database - Worldwide

⑪ 日本国特許庁 (JP)

⑬ 特許出願公開

⑫ 公開特許公報 (A)

昭58—61663

⑥ Int. Cl.<sup>3</sup>  
H 01 L 27/14  
29/78  
H 04 N 5/30

識別記号

庁内整理番号  
6819—5 F  
7377—5 F  
6940—5 C

⑬ 公開 昭和58年(1983)4月12日

発明の数 1  
審査請求 未請求

(全 4 頁)

⑭ 固体撮像装置の製造方法

⑮ 発明者 尾崎正義

門真市大字門真1006番地松下電  
子工業株式会社内

⑯ 特 願 昭56—161568

⑰ 出 願 昭56(1981)10月8日

⑱ 出 願 人 松下電子工業株式会社

⑲ 発 明 者 大橋孝造

門真市大字門真1006番地

門真市大字門真1006番地松下電  
子工業株式会社内

⑳ 代 理 人 弁理士 中尾敏男 外 1 名

明 細 書

1

1. 発明の名称

固体撮像装置の製造方法

2. 特許請求の範囲

多数のアドレス用 MOS トランジスタをつくり込んだ半導体基板上に層間絶縁膜を設け、この絶縁膜上に前記 MOS トランジスタのソース電極部またはドレイン電極部に電気的に接続された端子を引き出して同端子上に光導電膜<sup>10</sup>を設けるにさいし、前記絶縁膜の表面を平坦に研磨することを特徴とする固体撮像装置の製造方法。

3. 発明の詳細な説明

本発明は、走査手段としての MOS トランジスタ群をつくり込んだ半導体基板上に、光電変換手段としての光導電膜を配設した二階建構造の固体撮像装置の製造方法に関する。

かかる二階建構造の固体撮像装置は、光電変換部と走査部とを単一の半導体基板上に並設した固体撮像装置に比して光電変換部の占有面積が格段に大きく、高感度特性を得ることができる。しか

し、走査用 MOS トランジスタ群をつくり込んだ<sup>2</sup>半導体基板の表面は平坦でないから、この基板表面にスパッタまたは蒸着法により形成された光導電膜にも多数の凹凸を生じ、暗電流が大きい値を示すという欠点があった。

これを図面により説明すると、第1図において1は水平走査回路部、2は垂直走査回路部、3はアドレス部、4はアドレス用 MOS トランジスタ、5は同 MOS トランジスタのソース電極部、6は垂直選択用アドレスライン、7は水平選択用アドレスライン、8は水平選択用 MOS トランジスタ、9は出力線を示す。アドレス部3の略全域には、第2図に示すように光導電膜10が設けられ、この光導電膜10がアドレス用 MOS トランジスタ4のソース電極部5に接続される。また、光導電膜10の表面上には透明導電膜11が形成されている。12は MOS トランジスタ4のドレイン電極部、13はゲート酸化膜、14はポリシリコン等からなるゲート電極、15は素子間分離用酸化膜、16は第1層間絶縁膜、17はアルミニウム

等からなる金属電極、18は厚さ約 $0.6 \sim 0.8 \mu$ の第2層間絶縁膜、19はソース電極部に対して光導電膜を電気的に接続するための金属または半導体からなる導電膜を示す。

このような電極構成では、光導電膜10の下地となる走査基板の表面に、15 $\sim$ 3 $\mu$ にも達する高さの尖鋭な段差を多数生じ、したがって光導電膜10にも多数の凹凸を生じる。そして、光導電膜10をたとえばZnSe、CdTe、ZnTe、In<sub>2</sub>Te<sub>3</sub>からなる材料で形成した場合の暗電流は数100 nA/cm<sup>2</sup>にも達するのであり、この値は、通常の撮像管の平坦なフェースプレート上に蒸着された同種光導電膜の暗電流2 $\sim$ 6 nA/cm<sup>2</sup>に比して格段に大きい。この理由は、光導電膜10の屈曲部に不連続なエネルギー準位を生じることと、光導電膜の不連続性に起因していると考えられる。

本発明は、前述のような従来の欠点を除去するものであり、本発明の固体撮像装置の製造方法を以下図面に示した実施例とともに説明する。

第3図に示す電極構成が第2図に示した電極構

成の第2層間絶縁膜18を前述のようにして形成したのち、この膜18に孔20をフォトリソグラフィにより形成する。孔20はアドレス用MOSトランジスタのソース電極部6または同電極部の引出電極に達しており、この孔20内に導電材料21をめっき技術により充填する。ただし、めっきに代えて蒸着またはスパッタ法を適用することができる。この場合、導電物質または半導体材料からなる厚さ0.2 $\sim$ 5 $\mu$ 程度の厚さの膜を、蒸着またはスパッタ法により走査基板上全域に形成し、この膜の一部分を孔20内に埋め込むのであり、しかるのち、前述の表面研磨を施して孔20内のみ導電材料21を残留させる。

孔20に導電材料21を充填したのち、この導電材料21に電気的に接触する導電膜19を形成する。導電膜19は、アルミニウム、チタン、モリブデン、ニオブ、クロム、酸化インジウム、シリコンまたはゲルマニウム等からなり、MOSトランジスタごと絶縁されている。導電膜19を形成したのち、光導電膜10を一樣に形成する。

成と異なるところは、主として、第2層間絶縁膜18が平坦な表面を有し、光導電膜10が全域にわたり略均一な厚さを有していることである。第2層間絶縁膜18は、たとえばSiO<sub>2</sub>等の絶縁物をスパッタまたは蒸着法により3 $\mu$ 程度の厚さに形成したのち、この絶縁膜の凹凸表面を平坦に研磨することにより得られる。前記研磨の研磨剤としては、たとえば酸化セリウム微粉を用いることができる。

第2層間絶縁膜18'の他の形成方法によれば、燐またはボロンを含むSiO<sub>2</sub>を熱分解して3 $\mu$ 程度の厚さの絶縁膜を形成し、しかるのち、この膜の凹凸表面を平坦に研磨する。また、合成樹脂等から有機物質を塗布して得られた絶縁膜の表面を研磨してもよい。いずれにしても、最初に形成する絶縁膜は、その下地表面の凹凸段差よりも大きい寸度の厚みを有していることが重要である。なお、第2層間絶縁膜18'は単一の層でなくてもよく、複数種類の絶縁層を堆積形成したものであってもよい。

光導電膜10'としては、たとえばZnSe、ZnTe、CdTeおよびIn<sub>2</sub>Te<sub>3</sub>からなるもの、あるいは水素化シリコンを主成分とするものなどを用いることができる。

本発明の他の実施例を第4図に示す。この場合、第2層間絶縁膜18'を前述と同様の要領で形成したのち、MOSトランジスタのソース電極部6に達する深さの孔20'を形成するのであるが、この孔20'を上方で開くテーパ付きのものとしている。かかるテーパ付きの孔20'は、エッチング液の組成を適当に選ぶかあるいはレジスト膜の密着強度を適当に選ぶことによって得られる。本例では、孔20'の入口が朝顔形に緩やかに開くので、導電膜19の下地表面に尖鋭な凹凸段差を生じることがなく、したがって、前述のような導電材料21を充填することなく直ちに導電膜19を形成しているにもかかわらず、暗電流を小さい値に抑えることができる。

第5図に示す本発明の他の実施例では、第2層間絶縁膜18を形成する前の段階で、ソース電極

部5の延長電極たる金属電極17上に、まず凸状導電体21を形成し、しかるのち、第2層間絶縁膜18を形成している。凸状導電体21の高さは、金属電極17を形成した直後の走査基板表面の凹部の凸部よりは少なくとも0.2 $\mu$ mは高く形成されている。ただし、金属電極17自体の一部を他よりも高く形成することによって凸状導電体21に代えることができる。第2層間絶縁膜18は前述と同様の要領で形成するのであるが、その表面を研磨することによって凸状導電体21の端部が露出するので、この露出が得られたところで、導電膜19を形成し、ついで、光導電膜10および透明導電膜11を形成する。

さらに本発明の他の実施例によれば、第2層間絶縁膜の表面を平坦に研磨したのち、ソース電極部またはその延長電極部に向けて、アルミニウムなどの金属のイオンを加速器で注入し、これによって、ソース電極の実質的リード線を第2層間絶縁膜上に導くこともできる。

前述の実施例では、光導電膜をMOSトランジ

スタのソース電極部に接続したが、これは同トランジスタのドレイン電極部に接続してもよいのは勿論である。また、MOS形走査回路に代えてCCDやCCPD等を用いることができる。

本発明の固体撮像装置は前述のように構成されるので、光導電膜の厚さを全域にわたって略均等ならしめることができ、暗電流を大幅に低減することができる。また、入射光の殆んどが光導電膜に吸収され、ブルーミングやスミアの発生が押えられる。

さらに、カラー撮像用に適用した場合、カラーフィルタまたはカラーフィルタ形成板と光導電膜との平行性が良好となり、混色の発生を防止できる利点がある。

#### 4. 図面の簡単な説明

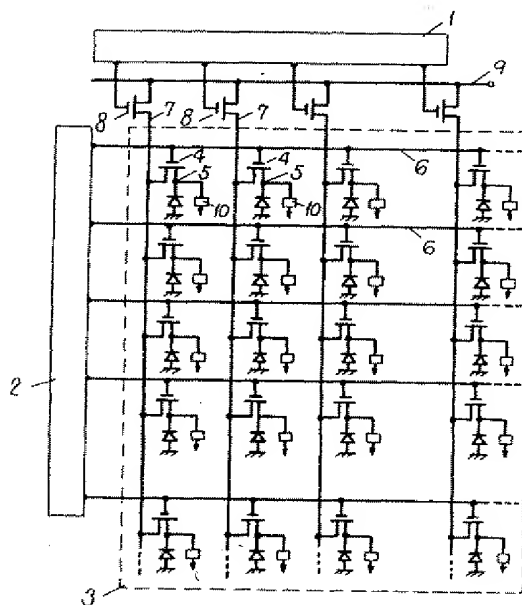
第1図は従来の固体撮像装置の電気回路図、第2図は同装置の一部分の側断面図、第3図ないし第5図は本発明を実施した固体撮像装置の側断面図である。

4……アドレス用MOSトランジスタ、5……

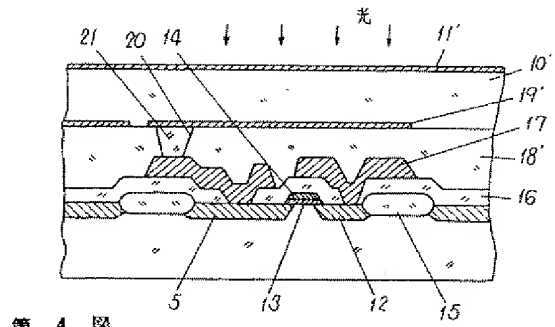
ソース電極部、10、10'……光導電膜、12……ドレイン電極部、16……第1層間絶縁膜、17……金属電極、18、18'……第2層間絶縁膜、19、19'……導電膜。

代理人の氏名 弁理士 中 尾 敏 男 ほか1名

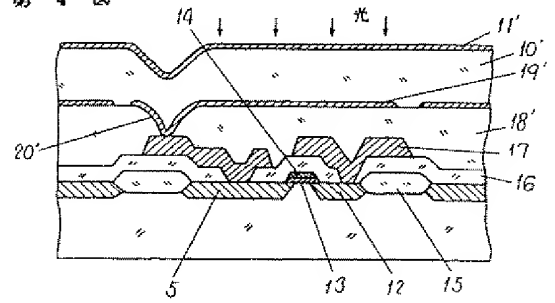
第 1 図



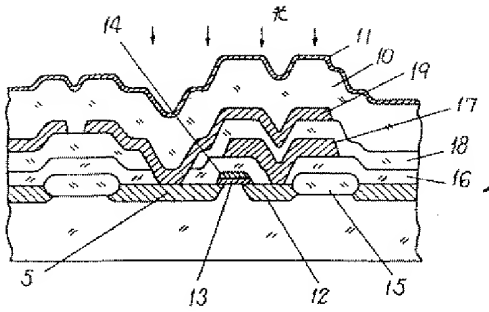
第 3 図



第 4 図



第 2 図



第 5 図

